

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

In-Gyu PARK

Art Unit: TBD

Appl. No.: NEW

Examiner: TBD

Filed: 19 February 2004

Atty. Docket: SEC.1099

For: **Semiconductor Memory Device**

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, **Mail Stop Patent Application**
Crystal Plaza Two, Lobby, Room 1B03
Arlington, Virginia 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Korean application:

Appln. No. 2003-0011492 filed February 24, 2003


as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, P.L.L.C.

By: _____


Kenneth D. Springer
Registration No. 39,843

VOLENTINE FRANCOS, P.L.L.C.
12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870

Date: 19 February 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0011492
Application Number

출원 년 월 일 : 2003년 02월 24일
Date of Application FEB 24, 2003

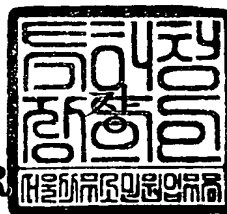
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 19 일

특 허 청

COMMISSIONER





1020030011492

출력 일자: 2003/9/24

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.02.24
【발명의 명칭】	반도체 메모리 장치
【발명의 영문명칭】	Semoconductor memory device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	박인규
【성명의 영문표기】	PARK, IN GYU
【주민등록번호】	720212-1117410
【우편번호】	626-845
【주소】	경상남도 양산시 웅상읍 삼호리 서창그린빌 107-1502
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	9 면 9,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	8 항 365,000 원
【합계】	403,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 반도체 메모리 장치를 공개한다. 이 장치는 복수개의 워드 라인들과 복수개의 비트 라인쌍들 사이에 연결된 복수개의 메모리 셀들을 각각 구비한 복수개의 메모리 셀 어레이 블록들을 구비하고, 복수개의 메모리 셀 어레이 블록들 각각에 대하여 복수개의 라이트 제어 신호들에 응답하여 복수개의 비트 라인쌍들 중 선택된 비트 라인쌍과 라이트 비트 라인쌍 사이에만 데이터를 전송하는 복수개의 제1전송 트랜지스터들과, 복수개의 리드 제어 신호들에 응답하여 선택된 비트 라인쌍과 센스 비트 라인쌍 사이에만 데이터를 전송하는 복수개의 제2전송 트랜지스터들을 구비한 컬럼 선택회로, 및 프리차지 동작시에 프리차지 인에이블 신호에 응답하여 센스 비트 라인쌍을 프리차지 및 이퀄라이즈하고, 리드 동작시에 라이트 인에이블 신호, 및 복수개의 컬럼 선택 신호들에 응답하여 복수개의 리드 제어 신호들을 발생하고, 라이트 동작시에 블록 선택 신호, 라이트 인에이블 신호, 프리차지 인에이블 신호, 및 복수개의 컬럼 선택 신호들에 응답하여 복수개의 라이트 제어 신호들을 발생하는 프리차지 및 라이트 제어회로로 구성되어 있다. 따라서, 라이트 동작시에 센스 비트 라인쌍들이 동작하지 않게 됨으로써 전력 소모가 줄어들게 된다.

【대표도】

도 4



【명세서】

【발명의 명칭】

반도체 메모리 장치{Semoconductor memory device}

【도면의 간단한 설명】

도1은 종래의 반도체 메모리 장치의 구성을 개략적으로 나타내는 것이다.

도2는 도1에 나타낸 종래의 반도체 메모리 장치의 프리차지 및 라이트 제어회로의 일예의 구성을 나타내는 것이다.

도3은 도2에 나타낸 회로의 동작을 설명하기 위한 동작 타이밍도이다.

도4는 본 발명의 반도체 메모리 장치의 프리차지 및 라이트 제어회로의 일 실시예의 구성을 나타내는 것이다.

도5는 도4에 나타낸 회로의 동작을 설명하기 위한 동작 타이밍도이다.

도6은 본 발명의 반도체 메모리 장치의 프리차지 및 라이트 제어회로의 다른 실시예의 구성을 나타내는 것이다.

도7은 도6에 나타낸 회로의 동작을 설명하기 위한 동작 타이밍도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<8> 본 발명은 반도체 메모리 장치에 관한 것으로, 특히 단일 칩 시스템(SOC; system on a chip)에 내장되는 반도체 메모리 장치에 관한 것이다.

- <9> 종래의 단일 칩 시스템에 내장되는 반도체 메모리 장치의 동작은 크게 프리차지 동작, 라이트 동작, 및 리드 동작으로 이루어진다. 프리차지 동작은 프리차지 인에이블 신호에 응답하여 라이트 동작 및 리드 동작 전에 비트 라인쌍들 및 센스 비트 라인쌍들을 프리차지 전압 레벨로 프리차지한다. 라이트 동작은 라이트 인에이블 신호에 응답하여 라이트 데이터를 라이트 비트 라인쌍들 및 비트 라인쌍들을 통하여 선택된 메모리 셀(들)로 라이트한다. 리드 동작은 리드 인에이블 신호에 응답하여 선택된 메모리 셀(들)에 저장된 데이터를 비트 라인쌍들 및 센스 비트 라인쌍들을 통하여 리드한다.
- <10> 그리고, 종래의 반도체 메모리 장치의 컬럼 선택회로는 비트 라인들 및 반전 비트 라인들 각각에 연결된 PMOS트랜지스터와 NMOS트랜지스터로 구성되어, 리드 동작시에는 비트 라인쌍들과 센스 비트 라인쌍사이에 연결된 PMOS트랜지스터가 온되어 선택된 메모리 셀(들)에 저장된 데이터를 비트 라인쌍들 및 센스 비트 라인쌍들을 통하여 리드한다. 라이트 동작시에는 비트 라인쌍들과 센스 비트 라인쌍들사이에 연결된 PMOS트랜지스터들 뿐만아니라 비트 라인쌍들과 라이트 비트 라인쌍들사이에 연결된 NMOS트랜지스터들이 온되어 라이트 데이터를 라이트 비트 라인쌍들 및 비트 라인쌍들을 통하여 선택된 메모리 셀(들)로 라이트한다.
- <11> 따라서, 종래의 반도체 메모리 장치는 라이트 동작시에 컬럼 선택회로를 구성하는 PMOS 트랜지스터들과 NMOS트랜지스터들이 모두 온되기 때문에 라이트 동작시에 라이트 비트 라인쌍들 및 비트 라인쌍들 뿐만아니라 센스 비트 라인쌍들까지 같이 동작한다. 이에 따라, 종래의 반도체 메모리 장치는 라이트 동작시에 전력 소모가 증가된다는 문제점이 있다.
- 【발명이 이루고자 하는 기술적 과제】**
- <12> 본 발명의 목적은 라이트 동작시에 소모되는 전력을 줄일 수 있는 반도체 메모리 장치를 제공하는데 있다.



<13> 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 일 형태는 복수개의 워드 라인들과 복수개의 비트 라인쌍들 사이에 연결된 복수개의 메모리 셀들을 각각 구비한 복수개의 메모리 셀 어레이 블록들을 구비하고, 상기 복수개의 메모리 셀 어레이 블록들 각각에 대하여 복수개의 라이트 제어신호들에 응답하여 상기 복수개의 비트 라인쌍들중 선택된 비트 라인쌍과 라이트 비트 라인쌍사이에만 데이터를 전송하는 복수개의 제1전송 트랜지스터들과, 복수개의 리드 제어신호들에 응답하여 상기 선택된 비트 라인쌍과 센스 비트 라인쌍사이에만 데이터를 전송하는 복수개의 제2전송 트랜지스터들을 구비한 컬럼 선택회로, 및 프리차지 동작시에 프리차지 인에이블 신호에 응답하여 상기 센스 비트 라인쌍을 프리차지 및 이퀄라이즈하고, 리드 동작시에 라이트 인에이블 신호, 및 복수개의 컬럼 선택신호들에 응답하여 상기 복수개의 리드 제어신호들을 발생하고, 라이트 동작시에 블록 선택신호, 라이트 인에이블 신호, 상기 프리차지 인에이블 신호, 및 복수개의 컬럼 선택신호들에 응답하여 상기 복수개의 라이트 제어신호들을 발생하는 프리차지 및 라이트 제어회로를 구비하는 것을 특징으로 한다.

<14> 상기 프리차지 및 라이트 제어회로는 상기 프리차지 인에이블 신호에 응답하여 상기 센스 비트 라인쌍을 프리차지 및 이퀄라이즈하는 프리차지 및 이퀄라이즈 회로, 상기 블록 선택신호, 상기 라이트 인에이블 신호, 및 상기 프리차지 인에이블 신호를 조합하여 라이트 제어신호를 발생하는 라이트 제어신호 발생회로, 상기 복수개의 컬럼 선택신호들과 상기 라이트 인에이블 신호를 조합하여 상기 복수개의 리드 제어신호들을 발생하는 리드 제어신호 발생회로, 및 상기 복수개의 컬럼 선택신호들과 상기 라이트 제어신호를 조합하여 상기 복수개의 라이트 제어신호들을 발생하는 라이트 제어신호 발생회로를 구비하여, 프리차지 동작시에는 상기 복수개의 제1 및 제2전송 트랜지스터들을 모두 오프하고, 라이트 동작시에는 상기 복수개의 제1 및 제2전송 트랜지스터들중 선택된 제1전송 트랜지스터만 온하는 것을 특징으로 한다.

<15> 상기 목적을 달성하기 위한 본 발명의 반도체 메모리 장치의 다른 형태는 복수개의 워드 라인들과 복수개의 비트 라인쌍들사이에 연결된 복수개의 메모리 셀들을 각각 구비한 복수개의 메모리 셀 어레이 블록들을 구비하고, 상기 복수개의 메모리 셀 어레이 블록들 각각에 대하여 복수개의 라이트 제어신호들에 응답하여 상기 복수개의 비트 라인쌍들중 선택된 비트 라인쌍과 라이트 비트 라인쌍사이에만 데이터를 전송하는 복수개의 제1전송 트랜지스터들과, 복수개의 리드 제어신호들에 응답하여 상기 복수개의 비트 라인쌍들중 선택된 비트 라인쌍과 센스 비트 라인쌍사이에만 데이터를 전송하는 복수개의 제2전송 트랜지스터들을 구비한 컬럼 선택회로, 및 프리차지 동작시에 프리차지 인에이블 신호에 응답하여 상기 센스 비트 라인쌍을 이퀄라이즈하고, 리드 동작시에 라이트 인에이블 신호, 상기 프리차지 인에이블 신호, 및 복수개의 컬럼 선택신호들에 응답하여 상기 복수개의 리드 제어신호들을 발생하고, 라이트 동작시에 블록 선택신호, 상기 라이트 인에이블 신호, 상기 프리차지 인에이블 신호, 및 상기 복수개의 컬럼 선택신호들에 응답하여 상기 복수개의 라이트 제어신호들을 발생하는 프리차지 및 라이트 제어 회로를 구비하는 것을 특징으로 한다.

<16> 상기 프리차지 및 라이트 제어회로는 상기 프리차지 인에이블 신호에 응답하여 상기 센스 비트 라인쌍을 이퀄라이즈하는 이퀄라이즈 회로, 상기 블록 선택신호, 상기 라이트 인에이블 신호, 및 상기 프리차지 인에이블 신호를 조합하여 라이트 제어신호를 발생하는 라이트 제어신호 발생회로, 상기 복수개의 컬럼 선택신호들, 상기 라이트 인에이블 신호, 및 상기 프리차지 인에이블 신호를 조합하여 상기 복수개의 리드 제어신호들을 발생하는 리드 제어신호 발생회로, 및 상기 복수개의 컬럼 선택신호들과 상기 라이트 제어신호를 조합하여 상기 복수개의 라이트 제어신호들을 발생하는 라이트 제어신호 발생회로를 구비하여, 프리차지 동작시에는

상기 복수개의 제2전송 트랜지스터들을 온하고, 라이트 동작시에는 상기 복수개의 제1 및 제1 전송 트랜지스터들중 선택된 제1전송 트랜지스터만 온하는 것을 특징으로 한다.

【발명의 구성 및 작용】

- <17> 이하, 첨부한 도면을 참고로 하여 본 발명의 반도체 메모리 장치를 설명하기 전에 종래의 반도체 메모리 장치를 먼저 설명하면 다음과 같다.
- <18> 도1은 종래의 반도체 메모리 장치의 구성을 개략적으로 나타내는 것으로, 로우 디코더(10), 제어신호 발생회로(12), 컬럼 디코더(14), 프리차지 회로들(16-1 ~ 16-k), 메모리 셀 어레이 블록들(18-1 ~ 18-k), 컬럼 선택회로들(20-1 ~ 20-k), 프리차지 및 라이트 제어회로들(22-1 ~ 22-k), 및 센스 증폭기들(24-1 ~ 24-k)로 구성되어 있다.
- <19> 도1에서, 프리차지 회로들(16-1 ~ 16-k) 각각은 비트 라인쌍들(((BL11, BL11B) ~ (BL14, BL14B))) ~ ((BLk1, BLk1B) ~ (BLk4, BLk4B)))을 프리차지하기 위한 프리차지 회로들((16-11 ~ 16-14) ~ (16-k1 ~ 16-k4))로 구성되어 있다. 그리고, 메모리 셀 어레이 블록들(18-1 ~ 18-k) 각각은 워드 라인들(WL1 ~ WLm) 각각과 비트 라인쌍들(((BL11, BL11B) ~ (BL14, BL14B))) ~ ((BLk1, BLk1B) ~ (BLk4, BLk4B))) 각각의 사이에 연결된 메모리 셀(MC)들로 구성되어 있다. 컬럼 선택회로들(20-1 ~ 20-k) 각각은 비트 라인쌍들(((BL11, BL11B) ~ (BL14, BL14B))) ~ ((BLk1, BLk1B) ~ (BLk4, BLk4B))) 각각과 라이트 비트 라인쌍(WBL1, WBL1B) 각각의 사이에 연결된 NMOS트랜지스터와 비트 라인쌍들(((BL11, BL11B) ~ (BL14, BL14B))) ~ ((BLk1, BLk1B) ~ (BLk4, BLk4B))) 각각과 센스 비트 라인쌍(SBL1, SBL1B) 각각의 사이에 연결된 PMOS트랜지스터로 구성된 CMOS전송 게이트들((((C11, C11B) ~ (C14B, C14))) ~ (((Ck1, Ck1B) ~ (Ck4B, Ck4))))로 구성되어 있다. CMOS전송 게이트들((((C11, C11B) ~ (C14B, C14))) ~ (((Ck1, Ck1B) ~ (Ck4B, Ck4)))) 각각은 리드 제어신호들((re11 ~ re14) ~ (rek1 ~ rek4)) 각각에 응답하여 PMOS트랜지

스터가 온되고, 라이트 제어신호들((we11 ~ we14) ~ (wek1 ~ wek4)) 각각에 응답하여 NMOS트랜지스터가 온된다.

<20> 도1에 나타난 블록들 각각의 기능을 설명하면 다음과 같다.

<21> 로우 디코더(10)는 로우 어드레스(XA)를 디코딩하여 워드 라인 선택신호들(WL1 ~ WLm)을 발생한다. 제어신호 발생회로(12)는 명령 신호(COM)를 입력하여 프리차지 인에이블 신호(PEN), 센스 증폭기 인에이블 신호(SEN), 및 라이트 인에이블 신호(WEN)를 발생한다. 컬럼 디코더(14)는 2비트의 컬럼 어드레스(YA)를 디코딩하여 컬럼 선택신호들(UY1 ~ UY4)을 발생한다. 프리차지 회로들((16-11 ~ 16-14) ~ (16-k1 ~ 16-k4)) 각각은 프리차지 동작시에 프리차지 인에이블 신호(PEN)에 응답하여 비트 라인쌍들(((BL11, BL11B) ~ (BL14, BL14B)) ~ ((BLk1, BLk1B) ~ (BLk4, BLk4B)))을 프리차지 전압 레벨로 프리차지한다. CMOS전송 게이트들(((C11, C11B) ~ (C14B, C14)) ~ ((Ck1, Ck1B) ~ (Ck4B, Ck4))) 각각의 PMOS트랜지스터들 각각은 리드 동작시에 리드 제어신호들((re11 ~ re14) ~ (rek1 ~ rek4)) 각각에 응답하여 온되어 비트 라인쌍들(((BL11, BL11B) ~ (BL14, BL14B)) ~ ((BLk1, BLk1B) ~ (BLk4, BLk4B))) 각각의 데이터를 센스 비트 라인쌍((SBL1, SBL1B) ~ (SBLk, SBLkB)) 각각으로 전송한다. 그리고, CMOS전송 게이트들(((C11, C11B) ~ (C14B, C14)) ~ ((Ck1, Ck1B) ~ (Ck4B, Ck4))) 각각의 NMOS트랜지스터들 각각은 라이트 동작시에 라이트 제어신호들((we11 ~ we14) ~ (wek1 ~ wek4)) 각각에 응답하여 온되어 라이트 비트 라인쌍들((WBL1, WBL1B) 각각의 데이터를 비트 라인쌍들(((BL11, BL11B) ~ (BL14, BL14B)) ~ ((BLk1, BLk1B) ~ (BLk4, BLk4B))) 각각으로 전송한다. 센스 증폭기들(24-1 ~ 24-k) 각각은 센스 증폭기 인에이블 신호(SEN)에 응답하여 온되어 센스 비트 라인쌍들((SBL1, SBL1B) ~ (SBLk, SBLkB)) 각각의 신호의 차를 증폭하여 리드 비트 라인쌍들((RBL1, RBL1B) ~ (RBLk, RBLkB)) 각각으로 전송한다. 프리차지 및 라이트 제어회로들(22-1 ~ 22-k) 각

각은 프리차지 인에이블 신호(PEN)에 응답하여 프리차지 제어신호를 발생하고, 라이트 인에이블 신호(WEN)와 블록 선택신호들(LY1 ~ LYk) 각각에 응답하여 라이트 제어신호들((we11 ~ we14) ~ (wek1 ~ wek4))을 발생하고, 컬럼 선택신호들((UY11 ~ UY14) ~ (UYk1 ~ UYk4)) 각각에 응답하여 리드 제어신호들((re11 ~ re14) ~ (rek1 ~ rek4))을 발생한다. 프리차지 동작시에 리드 제어신호들((re11 ~ re14) ~ (rek1 ~ rek4))에 응답하여 CMOS전송 게이트들(((C11, C11B) ~ (C14B, C14))) ~ ((Ck1, Ck1B) ~ (Ck4B, Ck4))) 각각의 PMOS트랜지스터들이 온되어 비트 라인쌍들(((BL11, BL11B) ~ (BL14, BL14B))) ~ ((BLk1, BLk1B) ~ (BLk4, BLk4B))) 및 센스 비트 라인쌍들((SBL1, SBL1B) ~ (SBLk, SBLkB))을 프리차지 전압 레벨로 프리차지하고, 프리차지 제어신호에 응답하여 센스 비트 라인쌍들((SBL1, SBL1B) ~ (SBLk, SBLkB))을 이퀄라이즈한다. 그리고, 리드 동작시에 리드 제어신호들((re11 ~ re14) ~ (rek1 ~ rek4))에 응답하여 CMOS전송 게이트들(((C11, C11B) ~ (C14B, C14))) ~ ((Ck1, Ck1B) ~ (Ck4B, Ck4)))중 선택된 CMOS전송 게이트들의 PMOS트랜지스터들이 온되어 선택된 비트 라인쌍들의 데이터를 센스 비트 라인쌍들((SBL1, SBL1B) ~ (SBLk, SBLkB))로 전송한다. 또한, 라이트 동작시에 라이트 제어신호들((we11 ~ we14) ~ (wek1 ~ wek4))에 응답하여 CMOS전송 게이트들(((C11, C11B) ~ (C14B, C14))) ~ ((Ck1, Ck1B) ~ (Ck4B, Ck4)))중 선택된 CMOS전송 게이트들의 PMOS트랜지스터들과 NMOS트랜지스터들이 온되어 라이트 비트 라인쌍들((WBL1, WBL1B) ~ (WBLk, WBLkB))의 데이터를 선택된 비트 라인쌍들로 전송한다. 이때, 선택된 CMOS전송 게이트들의 PMOS트랜지스터들이 온되어 있으므로 인해서 선택된 비트 라인쌍들로 전송되는 데이터가 PMOS트랜지스터들을 통하여 센스 비트 라인쌍들((SBL1, SBL1B) ~ (SBLk, SBLkB))로도 전송된다.

- <22> 따라서, 종래의 반도체 메모리 장치는 라이트 동작시에 라이트 비트 라인쌍 및 비트 라인쌍 뿐만아니라 센스 비트 라인쌍이 같이 동작을 수행함으로 인해서 전력 소모가 증가하게 된다는 문제가 있다.
- <23> 도2는 도1에 나타낸 종래의 반도체 메모리 장치의 프리차지 및 라이트 제어회로의 일예의 구성을 나타내는 것으로, PMOS트랜지스터(P1), 인버터들(I1 ~ I8), NOR게이트들(NOR1 ~ NOR5), 및 NAND게이트(NA)로 구성되어 있다.
- <24> 도2에 나타낸 구성은 도1에 나타낸 프리차지 및 라이트 제어회로(22-1)의 구성을 나타내는 것으로, 다른 프리차지 및 라이트 제어회로들의 구성은 도2와 동일하다.
- <25> 도3은 도2에 나타낸 회로의 동작을 설명하기 위한 동작 타이밍도로서, 도3을 이용하여 도2에 나타낸 구성의 프리차지 및 라이트 동작을 설명하면 다음과 같다.
- <26> 프리차지 기간(T1)에 도3에 나타낸 바와 같이 "로우"레벨의 프리차지 인에이블 신호(PEN), 및 "하이"레벨의 라이트 인에이블 신호(WEN), 블록 선택신호(LY1), 및 컬럼 선택신호들(UY1 ~ UY4)이 발생되면, 인버터들(I5, I6)은 "로우"레벨의 프리차지 제어신호(PRE)를 발생한다. 그리고, NOR게이트(NOR1)는 "하이"레벨의 신호를 발생하고, NAND게이트(NA1)는 "하이"레벨의 라이트 신호(WE)를 발생한다. 인버터들(I1, I2, I7, I8)은 "하이"레벨의 컬럼 선택신호들(UY1 ~ UY4)을 반전하여 "로우"레벨의 리드 제어신호들(re11 ~ re14)을 발생한다. NOR게이트들(NOR2 ~ NOR5)은 "로우"레벨의 라이트 제어신호들(we11 ~ we14)을 발생한다.
- <27> 즉, 프리차지 동작시에는 "로우"레벨의 리드 제어신호들(re11 ~ re14) 및 라이트 제어신호들(we11 ~ we14)이 발생되어 도1에 나타낸 CMOS전송 게이트들((C11, C11B) ~ (C14, C14B))의 PMOS트랜지스터들을 온한다. 그러면, 도1에 나타낸 프리차지 회로들(16-11 ~ 16-14)에 의해서

비트 라인쌍들((BL11, BL11B) ~ (BL14, BL14B))과 센스 비트 라인쌍(SBL1, SBL1B)이 프리차지 전압 레벨로 프리차지되고, "로우"레벨의 프리차지 제어신호(PRE)에 응답하여 PMOS트랜지스터(P1)가 온되어 센스 비트 라인쌍(SBL1, SBL1B)이 이퀄라이즈된다. 설명하지는 않았지만, 나머지 다른 메모리 셀 어레이 블록들도 동일한 동작을 수행한다.

<28> 라이트 기간(T2)에 도3에 나타낸 바와 같이 "하이"레벨의 프리차지 인에이블 신호(PEN), 라이트 인에이블 신호(WEN), 블록 선택신호(LY1), 및 컬럼 선택신호(UY1), 및 "로우"레벨의 컬럼 선택신호들(UY2 ~ UY4)이 발생되면, 인버터들(I5, I6)은 "하이"레벨의 프리차지 제어신호(PRE)를 발생하고, PMOS트랜지스터(P1)는 오프된다. NOR게이트(NOR1)는 "하이"레벨의 신호를 발생하고, NAND게이트(NA1)는 "로우"레벨의 라이트 신호(WE)를 발생한다. 인버터(I1)는 "하이"레벨의 컬럼 선택신호(UY1)를 반전하여 "로우"레벨의 리드 제어신호(re11)를 발생하고, 인버터들(I2, I7, I8)은 "로우"레벨의 컬럼 선택신호들(UY2 ~ UY4)을 반전하여 "하이"레벨의 리드 제어신호들(re12 ~ re14)을 각각 발생한다. 그리고, NOR게이트(NOR2)는 "하이"레벨의 라이트 제어신호(we11)를 발생하고, NOR게이트들(NOR3 ~ NOR5)은 "로우"레벨의 라이트 제어신호들(we12 ~ we14)을 각각 발생한다.

<29> 즉, 라이트 동작시에는 "로우"레벨의 리드 제어신호(re11)와 "하이"레벨의 라이트 제어신호(we11)이 발생되어 도1에 나타낸 CMOS전송 게이트들(C11, C11B)의 PMOS트랜지스터와 NMOS트랜지스터를 모두 온한다. 그리고, "하이"레벨의 리드 제어신호들(re12 ~ re14)과 "로우"레벨의 라이트 제어신호들(we12 ~ we14)이 발생되어 도1에 나타낸 CMOS전송 게이트들((C12B, C12) ~ (C14B, C14))을 오프한다.

<30> 그러면, 도1에 나타낸 라이트 비트 라인쌍(WBL1B, WBL1)을 통하여 전송되는 데이터가 CMOS전송 게이트들(C11, C11B)의 NMOS트랜지스터들을 통하여 비트 라인쌍(BL11, BL11B)으로 전

송된다. 그런데, 이때, CMOS전송 게이트들(C11, C11B)의 PMOS트랜지스터들이 온되어 있음으로 인해서 비트 라인쌍들(BL11, BL11B)의 데이터가 센스 비트 라인쌍(SBL1, SBL1B)으로도 전송된다. 따라서, 라이트 동작시에 센스 비트 라인쌍(SBL1, SBL1B)이 같이 동작함으로 인해서 전력 소모가 증가된다. 설명하지는 않았지만, 나머지 다른 메모리 셀 어레이 블록들도 동일한 동작을 수행함으로 인해서 전력 소모가 증가된다.

- <31> 도4는 본 발명의 반도체 메모리 장치의 프리차지 및 라이트 제어회로의 일 실시예의 구성을 나타내는 것으로, 도3에 나타난 회로에 PMOS트랜지스터들(P2, P3), 및 NAND게이트들(NA2 ~ NA5)을 추가하여 구성되어 있다.
- <32> 도4에 나타난 구성은 도1에 나타난 프리차지 및 라이트 제어회로(22-1)의 구성을 나타내는 것으로, 다른 프리차지 및 라이트 제어회로들의 구성은 도4와 동일하다.
- <33> 도5는 도4에 나타난 회로의 동작을 설명하기 위한 동작 타이밍도로서, 도5를 이용하여 도4에 나타난 구성의 프리차지 및 라이트 동작을 설명하면 다음과 같다.
- <34> 프리차지 기간(T1)에 도5에 나타난 바와 같이 "로우"레벨의 프리차지 인에이블 신호(PEN), 및 "하이"레벨의 라이트 인에이블 신호(WEN), 블록 선택신호(LY1), 및 컬럼 선택신호들(UY1 ~ UY4)이 발생되면, 인버터들(I5, I6)은 "로우"레벨의 프리차지 제어신호(PRE)를 발생하고, PMOS트랜지스터들(P1 ~ P3)은 온된다. 그리고, NOR게이트(NOR1)는 "하이"레벨의 신호를 발생하고, NAND게이트(NA1)는 "하이"레벨의 라이트 신호(WE)를 발생한다. 인버터들(I1, I2, I7, I8)은 "하이"레벨의 컬럼 선택신호들(UY1 ~ UY4)을 반전하여 "로우"레벨의 신호를 발생한다. NAND게이트들(NA2 ~ NA5)은 "하이"레벨의 리드 제어신호들(re11 ~ re14)을 발생한다. NOR게이트들(NOR2 ~ NOR5)은 "로우"레벨의 라이트 제어신호들(we11 ~ we14)을 발생한다.

<35> 즉, 프리차지 동작시에는 "하이"레벨의 리드 제어신호들(re11 ~ re14) 및 "로우"레벨의 라이트 제어신호들(we11 ~ we14)이 발생되어 도1에 나타난 CMOS전송 게이트들((C11, C11B) ~ (C14, C14B))을 모두 오프한다. 그러면, 도1에 나타난 프리차지 회로들(16-11 ~ 16-14)에 의해서 비트 라인쌍들((BL11, BL11B) ~ (BL14, BL14B))이 프리차지되고, "로우"레벨의 프리차지 제어신호(PRE)에 응답하여 PMOS트랜지스터들(P1, P2, P3)이 온되어 센스 비트 라인쌍(SBL1, SBL1B)이 프리차지 전압(VPRE) 레벨로 프리차지 및 이퀄라이즈된다. 설명하지는 않았지만, 나머지 다른 메모리 셀 어레이 블록들도 동일한 동작을 수행한다.

<36> 라이트 기간(T2)에 도5에 나타난 바와 같이 "하이"레벨의 프리차지 인에이블 신호(PEN), 라이트 인에이블 신호(WEN), 블록 선택신호(LY1), 및 컬럼 선택신호(UY1), 및 "로우"레벨의 컬럼 선택신호들(UY2 ~ UY4)이 발생되면, 인버터들(I5, I6)은 "하이"레벨의 프리차지 제어신호(PRE)를 발생하고, PMOS트랜지스터들(P1 ~ P3)이 오프된다. NOR게이트(NOR1)는 "하이"레벨의 신호를 발생하고, NAND게이트(NA1)는 "로우"레벨의 라이트 신호(WE)를 발생한다. 인버터(I1)는 "하이"레벨의 컬럼 선택신호(UY1)를 반전하여 "로우"레벨의 신호를 발생하고, 인버터들(I2, I7, I8)은 "로우"레벨의 컬럼 선택신호들(UY2 ~ UY4)을 반전하여 "하이"레벨의 신호들을 각각 발생한다. 그리고, NAND게이트들(NA2 ~ NA5)은 "하이"레벨의 리드 제어신호들(re11 ~ re14)을 발생하고, NOR게이트(NOR2)는 "하이"레벨의 라이트 제어신호(we11)를 발생하고, NOR게이트들(NOR3 ~ NOR5)은 "로우"레벨의 라이트 제어신호들(we12 ~ we14)을 발생한다.

<37> 즉, 라이트 동작시에는 "로우"레벨의 라이트 제어신호들(we12 ~ we14)과 "하이"레벨의 리드 제어신호들(re12 ~ re14)이 발생되어 도1에 나타난 CMOS전송 게이트들((C12B, C12) ~ (C14B, C14))을 오프하고, "하이"레벨의 리드 제어신호(re11)와 "하이"레벨의 라이트

제어신호(we11)가 발생되어 도1에 나타낸 CMOS전송 게이트들(C11, C11B)의 PMOS트랜지스터를 오프하고, NMOS트랜지스터를 온한다.

<38> 그러면, 도1에 나타낸 라이트 비트 라인쌍(WBL1B, WBL1)을 통하여 전송되는 데이터가 CMOS전송 게이트들(C11, C11B)의 NMOS트랜지스터들을 통하여 비트 라인쌍(BL11, BL11B)으로 전송된다. 이때, CMOS전송 게이트들(C11, C11B)의 PMOS트랜지스터들이 오프되어 있음으로 인해서 비트 라인쌍들(BL11, BL11B)의 데이터가 센스 비트 라인쌍(SBL1, SBL1B)으로도 전송되지는 않는다. 따라서, 라이트 동작시에 센스 비트 라인쌍(SBL1, SBL1B)이 같이 동작함으로 인해서 전력 소모가 증가하는 문제는 발생하지 않게 된다.

<39> 도4에 나타낸 본 발명의 실시예의 프리차지 및 라이트 제어회로는 프리차지 동작시에는 CMOS전송 게이트들을 모두 오프하고 센스 비트 라인쌍들을 PMOS트랜지스터들(P2, P3)에 의해서 프리차지하고, 라이트 동작시에는 선택된 CMOS전송 게이트들의 NMOS트랜지스터만 온하고 PMOS 트랜지스터는 오프함으로써 선택된 비트 라인쌍들로 전송된 데이터가 센스 비트 라인쌍으로 전송되지 않도록 구성한 것이다.

<40> 도6은 본 발명의 반도체 메모리 장치의 프리차지 및 라이트 제어회로의 다른 실시예의 구성을 나타내는 것으로, 도3에 나타낸 회로에 인버터(I9), 및 NOR게이트들(NOR6 ~ NOR13)을 추가하여 구성되어 있다.

<41> 도6에 나타낸 구성은 도1에 나타낸 프리차지 및 라이트 제어회로(22-1)의 구성을 나타내는 것으로, 다른 프리차지 및 라이트 제어회로들의 구성은 도6의 구성과 동일하다.

<42> 도7은 도6에 나타낸 회로의 동작을 설명하기 위한 동작 타이밍도로서, 도7를 이용하여 도6에 나타낸 구성의 프리차지 및 라이트 동작을 설명하면 다음과 같다.

<43> 프리차지 기간(T1)에 도7에 나타낸 바와 같이 "로우"레벨의 프리차지 인에이블 신호(PEN), 및 "하이"레벨의 라이트 인에이블 신호(WEN), 블록 선택신호(LY1), 및 컬럼 선택신호들(UY1 ~ UY4)이 발생되면, 인버터들(I5, I6)은 "로우"레벨의 프리차지 제어신호(PRE)를 발생하고, PMOS트랜지스터(P1)가 온된다. 그리고, NOR게이트(NOR1)는 "하이"레벨의 신호를 발생하고, NAND게이트(NA1)는 "하이"레벨의 라이트 신호(WE)를 발생한다. 인버터들(I1, I2, I7, I8)은 "하이"레벨의 컬럼 선택신호들(UY1 ~ UY4)을 반전하여 "로우"레벨의 신호를 발생한다. NOR게이트들(NOR6 ~ NOR9)은 "하이"레벨의 신호들을 발생하고, NOR게이트들(NOR10 ~ NOR13)은 "로우"레벨의 리드 제어신호들(re11 ~ re14)을 발생한다. 그리고, NOR게이트들(NOR2 ~ NOR5)은 "로우"레벨의 라이트 제어신호들(we11 ~ we14)을 발생한다.

<44> 즉, 프리차지 동작시에는 "로우"레벨의 리드 제어신호들(re11 ~ re14) 및 "로우"레벨의 라이트 제어신호들(we11 ~ we14)이 발생되어 도1에 나타낸 CMOS전송 게이트들((C11, C11B) ~ (C14, C14B))의 PMOS트랜지스터들을 모두 온하고, NMOS트랜지스터들을 모두 오프한다. 그러면, 도1에 나타낸 프리차지 회로들(16-11 ~ 16-14)에 의해서 비트 라인쌍들((BL11, BL11B) ~ (BL14, BL14B)) 및 센스 비트 라인쌍(SBL1, SBL1B)이 프리차지 전압 레벨로 프리차지되고, "로우"레벨의 프리차지 제어신호(PRE)에 응답하여 PMOS트랜지스터(P1)가 온되어 센스 비트 라인쌍(SBL1, SBL1B)이 이퀄라이즈된다. 설명하지는 않았지만, 나머지 다른 메모리 셀 어레이 블록들도 동일한 동작을 수행한다.

<45> 라이트 기간(T2)에 도7에 나타낸 바와 같이 "하이"레벨의 프리차지 인에이블 신호(PEN), 라이트 인에이블 신호(WEN), 블록 선택신호(LY1), 및 컬럼 선택신호(UY1), 및 "로우"레벨의 컬럼 선택신호들(UY2 ~ UY4)이 발생되면, 인버터들(I5, I6)은 "하이"레벨의 프리차지 제어신호(PRE)를 발생하고, PMOS트랜지스터(P1)는 오프된다. NOR게이트(NOR1)는 "하이"레벨의 신호를

발생하고, NAND게이트(NA1)는 "로우"레벨의 라이트 신호(WE)를 발생한다. 인버터(I1)는 "하이"레벨의 컬럼 선택신호(UY1)를 반전하여 "로우"레벨의 신호를 발생하고, 인버터들(I2, I7, I8)은 "로우"레벨의 컬럼 선택신호들(UY2 ~ UY4)을 반전하여 "하이"레벨의 신호들을 각각 발생한다. NOR게이트들(NOR6 ~ NOR9)은 "로우"레벨의 신호를 발생하고, NOR게이트들(NOR10 ~ NOR13)은 "하이"레벨의 리드 제어신호들(re11 ~ re14)을 발생한다. 그리고, NOR게이트(NOR2)는 "하이"레벨의 라이트 제어신호(we11)를 발생하고, NOR게이트들(NOR3 ~ NOR5)은 "로우"레벨의 라이트 제어신호들(we12 ~ we14)을 발생한다.

<46> 즉, 라이트 동작시에는 "하이"레벨의 리드 제어신호들(re12 ~ re14)과 "로우"레벨의 라이트 제어신호들(we12 ~ we14)이 발생되어 도1에 나타난 CMOS전송 게이트들((C12B, C12) ~ (C14B, C14))을 오프하고, "하이"레벨의 리드 제어신호(re11)와 "하이"레벨의 라이트 제어신호(we11)가 발생되어 도1에 나타난 CMOS전송 게이트들(C11, C11B)의 PMOS트랜지스터를 오프하고, NMOS트랜지스터를 온한다.

<47> 그러면, 도1에 나타난 라이트 비트 라인쌍(WBL1B, WBL1)을 통하여 전송되는 데이터가 CMOS전송 게이트들(C11, C11B)의 NMOS트랜지스터들을 통하여 비트 라인쌍(BL11, BL11B)으로 전송되나, CMOS전송 게이트들(C11, C11B)의 PMOS트랜지스터들을 통하여 비트 라인쌍들(BL11, BL11B)의 데이터가 센스 비트 라인쌍(SBL1, SBL1B)으로도 전송되지 않게 된다. 따라서, 라이트 동작시에 센스 비트 라인쌍(SBL1, SBL1B)이 같이 동작함으로 인해서 전력 소모가 증가하는 문제는 발생하지 않게 된다.

<48> 도6에 나타난 본 발명의 다른 실시예의 프리차지 및 라이트 제어회로는 프리차지 동작시에는 CMOS전송 게이트들의 PMOS트랜지스터들을 모두 온하여 프리차지 회로에 의해서 비트 라인쌍들 및 센스 비트 라인쌍들을 모두 프리차지하고, 라이트 동작시에는 선택된 CMOS전송 게이트



들의 NMOS트랜지스터만 온하고 PMOS트랜지스터는 오프함으로써 선택된 비트 라인쌍들로 전송된 데이터가 센스 비트 라인쌍으로 전송되지 않도록 구성한 것이다.

<49> 따라서, 본 발명의 반도체 메모리 장치는 라이트 동작시에 컬럼 선택회로의 선택된 CMOS 전송 게이트의 NMOS트랜지스터만 온되게 됨으로써 전력 소모가 증가하지 않게 된다.

<50> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【발명의 효과】

<51> 따라서, 본 발명의 반도체 메모리 장치는 라이트 동작시에 센스 비트 라인쌍들이 동작하지 않게 됨으로써 전력 소모가 줄어들게 된다.

**【특허청구범위】****【청구항 1】**

복수개의 워드 라인들과 복수개의 비트 라인쌍들 사이에 연결된 복수개의 메모리 셀들을 각각 구비한 복수개의 메모리 셀 어레이 블록들을 구비하고,

상기 복수개의 메모리 셀 어레이 블록들 각각에 대하여

복수개의 라이트 제어신호들에 응답하여 상기 복수개의 비트 라인쌍들중 선택된 비트 라인쌍과 라이트 비트 라인쌍사이에만 데이터를 전송하는 복수개의 제1전송 트랜지스터들과, 복수개의 리드 제어신호들에 응답하여 상기 선택된 비트 라인쌍과 센스 비트 라인쌍사이에만 데이터를 전송하는 복수개의 제2전송 트랜지스터들을 구비하는 컬럼 선택회로; 및

프리차지 동작시에 프리차지 인에이블 신호에 응답하여 상기 센스 비트 라인쌍을 프리차지 및 이퀄라이즈하고, 리드 동작시에 라이트 인에이블 신호, 및 복수개의 컬럼 선택신호들에 응답하여 상기 복수개의 리드 제어신호들을 발생하고, 라이트 동작시에 블록 선택신호, 라이트 인에이블 신호, 상기 프리차지 인에이블 신호, 및 복수개의 컬럼 선택신호들에 응답하여 상기 복수개의 라이트 제어신호들을 발생하는 프리차지 및 라이트 제어회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 2】

제1항에 있어서, 상기 복수개의 제1전송 트랜지스터들 각각은

NMOS트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

**【청구항 3】**

제1항에 있어서, 상기 복수개의 제2전송 트랜지스터들 각각은 PMOS트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.

【청구항 4】

제1항에 있어서, 상기 프리차지 및 라이트 제어회로는

상기 프리차지 인에이블 신호에 응답하여 상기 센스 비트 라인쌍을 프리차지 및 이퀄라이즈하는 프리차지 및 이퀄라이즈 회로;

상기 블록 선택신호, 상기 라이트 인에이블 신호, 및 상기 프리차지 인에이블 신호를 조합하여 라이트 제어신호를 발생하는 라이트 제어신호 발생회로;

상기 복수개의 컬럼 선택신호들과 상기 라이트 인에이블 신호를 조합하여 상기 복수개의 리드 제어신호들을 발생하는 리드 제어신호 발생회로; 및

상기 복수개의 컬럼 선택신호들과 상기 라이트 제어신호를 조합하여 상기 복수개의 라이트 제어신호들을 발생하는 라이트 제어신호 발생회로를 구비하여,

프리차지 동작시에는 상기 복수개의 제1 및 제2전송 트랜지스터들을 모두 오프하고, 라이트 동작시에는 상기 복수개의 제1 및 제2전송 트랜지스터들중 선택된 제1전송 트랜지스터만 온하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 5】

복수개의 워드 라인들과 복수개의 비트 라인쌍들사이에 연결된 복수개의 메모리 셀들을 각각 구비한 복수개의 메모리 셀 어레이 블록들을 구비하고,

상기 복수개의 메모리 셀 어레이 블록들 각각에 대하여

복수개의 라이트 제어신호들에 응답하여 상기 복수개의 비트 라인쌍들중 선택된 비트 라인쌍과 라이트 비트 라인쌍사이에만 데이터를 전송하는 복수개의 제1전송 트랜지스터들과, 복수개의 리드 제어신호들에 응답하여 상기 복수개의 비트 라인쌍들중 선택된 비트 라인쌍과 센스 비트 라인쌍사이에만 데이터를 전송하는 복수개의 제2전송 트랜지스터들을 구비하는 컬럼 선택회로; 및

프리차지 동작시에 프리차지 인에이블 신호에 응답하여 상기 센스 비트 라인쌍을 이퀄라이즈하고, 리드 동작시에 라이트 인에이블 신호, 상기 프리차지 인에이블 신호, 및 복수개의 컬럼 선택신호들에 응답하여 상기 복수개의 리드 제어신호들을 발생하고, 라이트 동작시에 블록 선택신호, 상기 라이트 인에이블 신호, 상기 프리차지 인에이블 신호, 및 상기 복수개의 컬럼 선택신호들에 응답하여 상기 복수개의 라이트 제어신호들을 발생하는 프리차지 및 라이트 제어회로를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

【청구항 6】

제5항에 있어서, 상기 복수개의 제1전송 트랜지스터들 각각은

NMOS트랜지스터로 구성된 것을 특징으로 하는 반도체 메모리 장치.

【청구항 7】

제5항에 있어서, 상기 복수개의 제2전송 트랜지스터들 각각은

PMOS트랜지스터인 것을 특징으로 하는 반도체 메모리 장치.



【청구항 8】

제5항에 있어서, 상기 프리차지 및 라이트 제어회로는

상기 프리차지 인에이블 신호에 응답하여 상기 센스 비트 라인쌍을 이퀄라이즈하는 이퀄라이즈 회로;

상기 블록 선택신호, 상기 라이트 인에이블 신호, 및 상기 프리차지 인에이블 신호를 조합하여 라이트 제어신호를 발생하는 라이트 제어신호 발생회로;

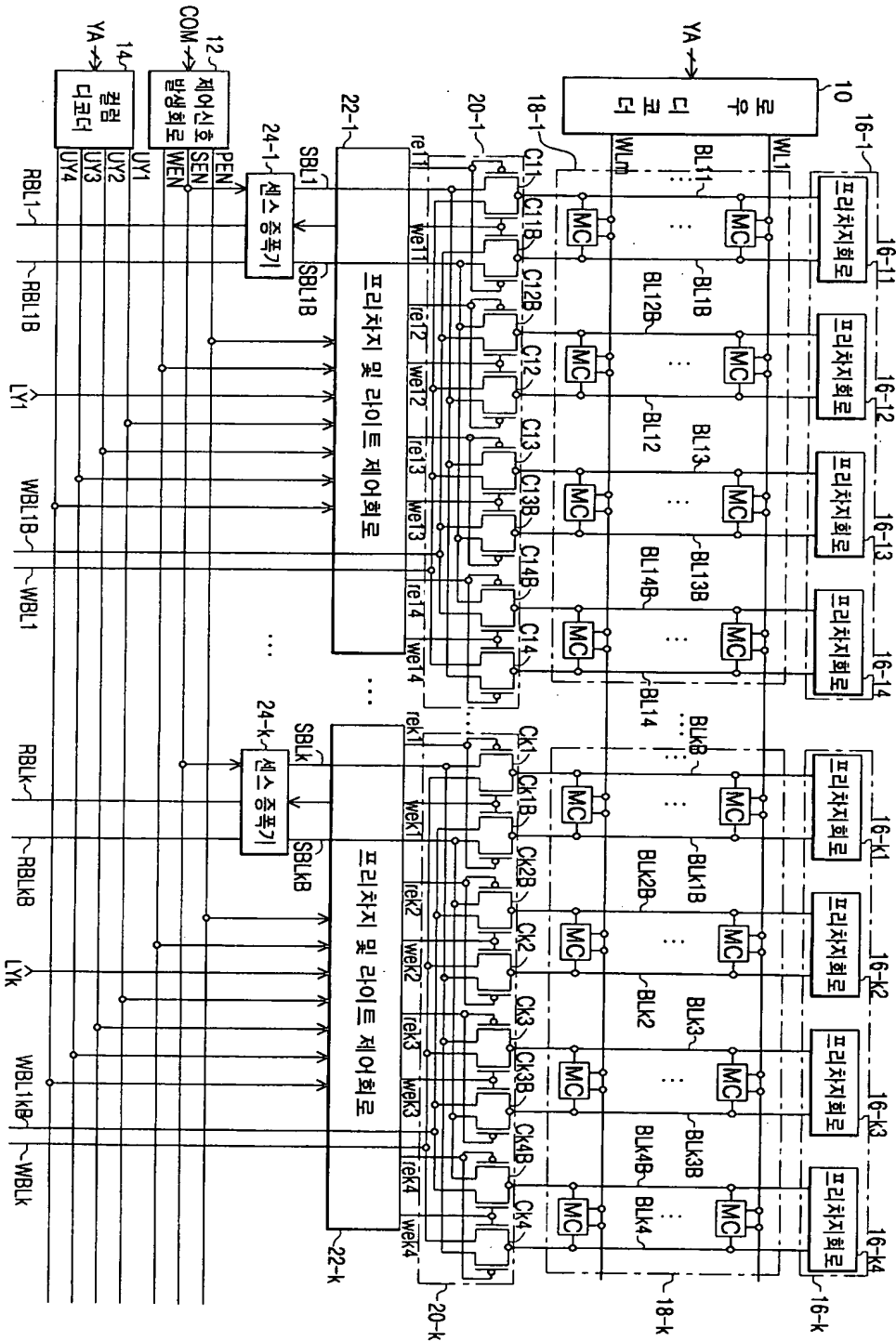
상기 복수개의 컬럼 선택신호들, 상기 라이트 인에이블 신호, 및 상기 프리차지 인에이블 신호를 조합하여 상기 복수개의 리드 제어신호들을 발생하는 리드 제어신호 발생회로; 및

상기 복수개의 컬럼 선택신호들과 상기 라이트 제어신호를 조합하여 상기 복수개의 라이트 제어신호들을 발생하는 라이트 제어신호 발생회로를 구비하여,

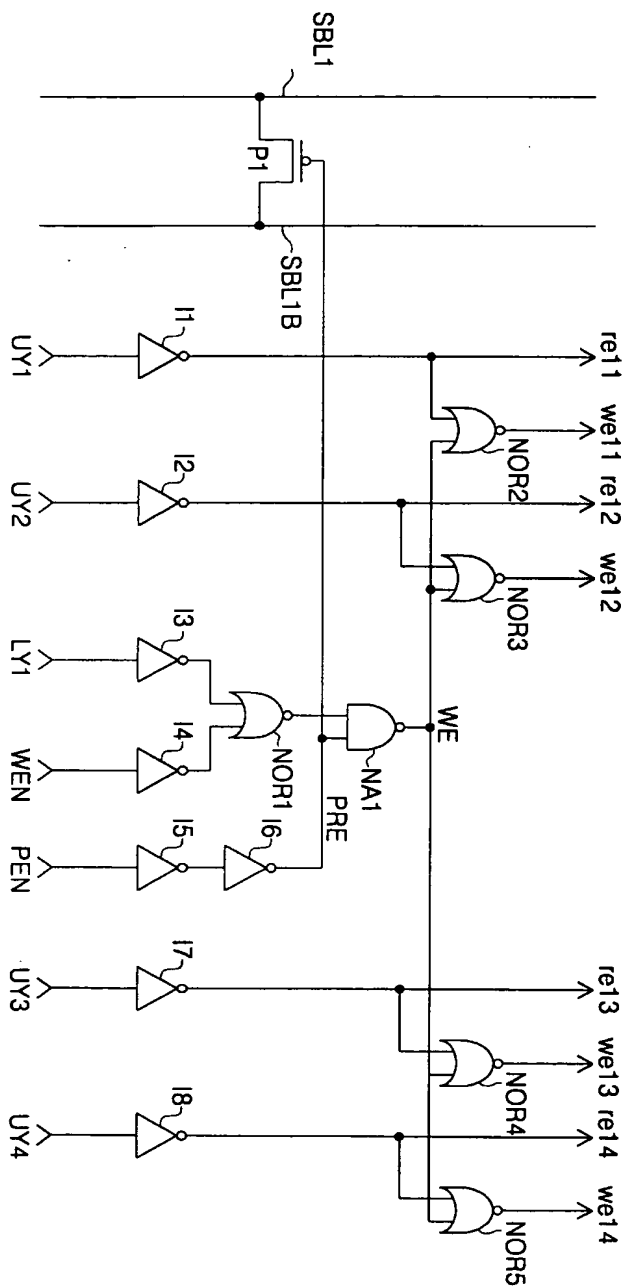
프리차지 동작시에는 상기 복수개의 제2전송 트랜지스터들을 온하고, 라이트 동작시에는 상기 복수개의 제1 및 제1전송 트랜지스터들중 선택된 제1전송 트랜지스터만 온하는 것을 특징으로 하는 반도체 메모리 장치.

【본문】

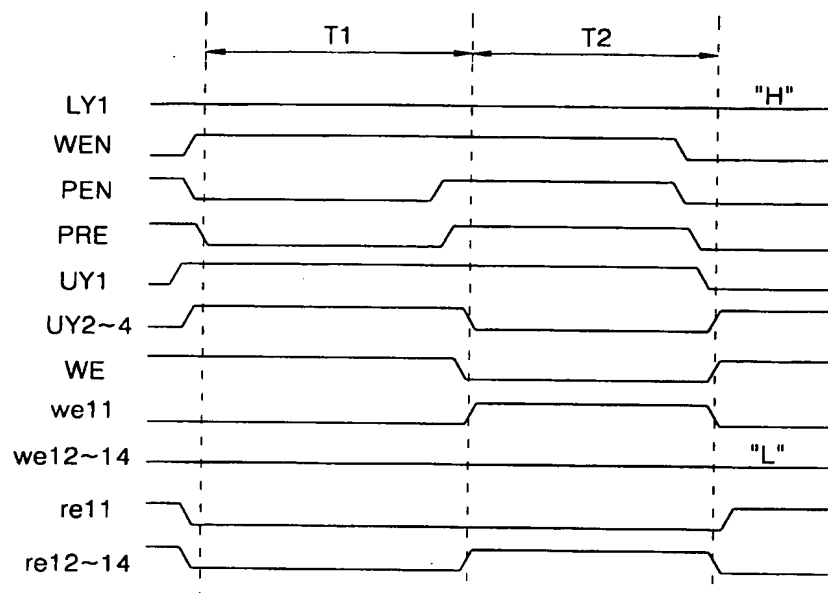
【부 1】



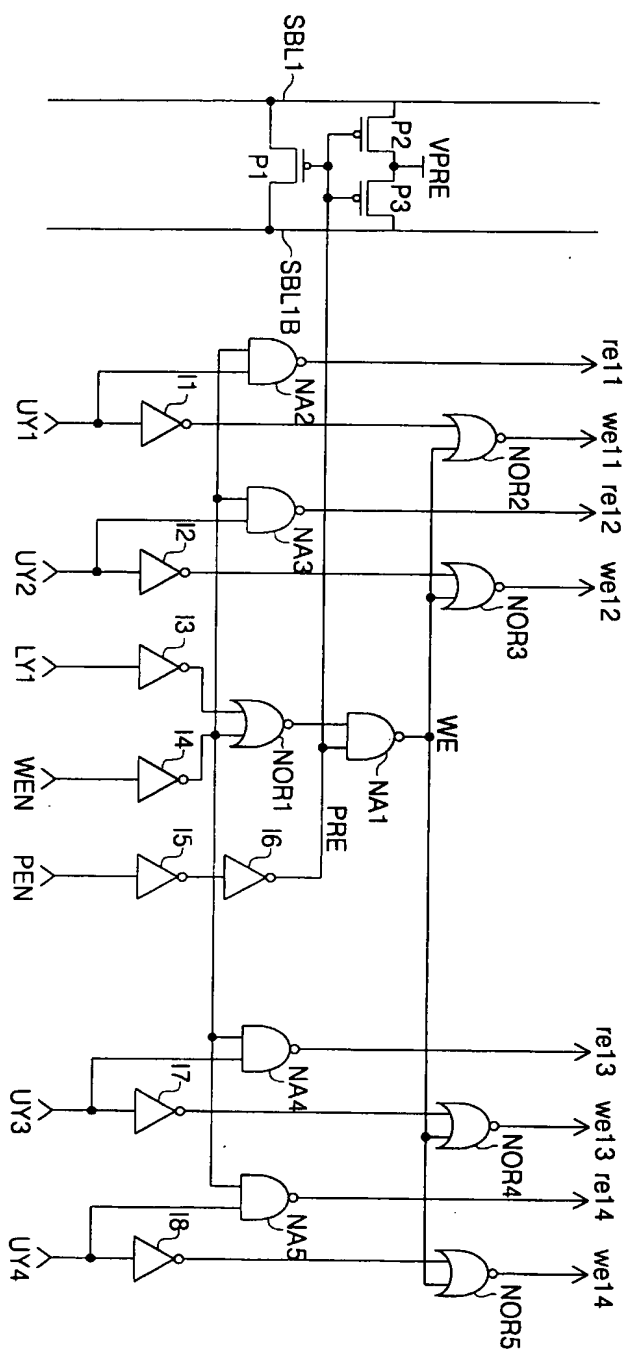
【도 2】



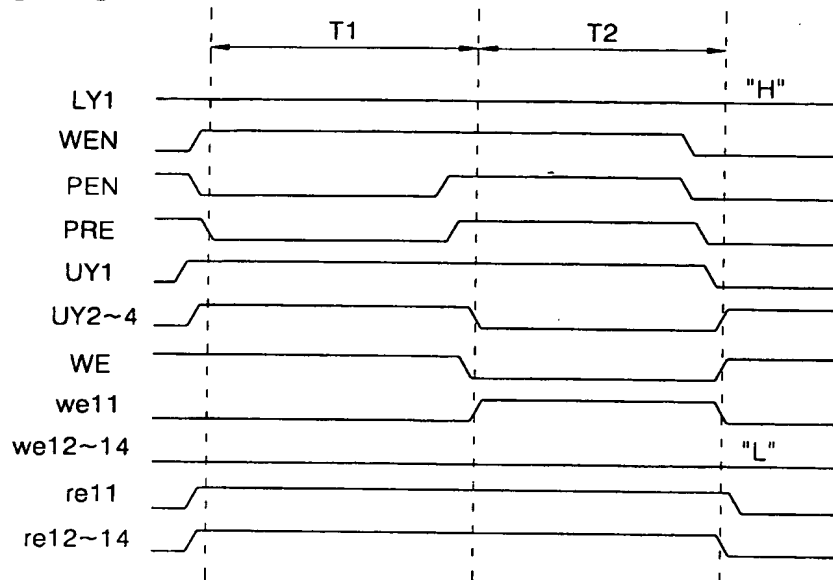
【도 3】



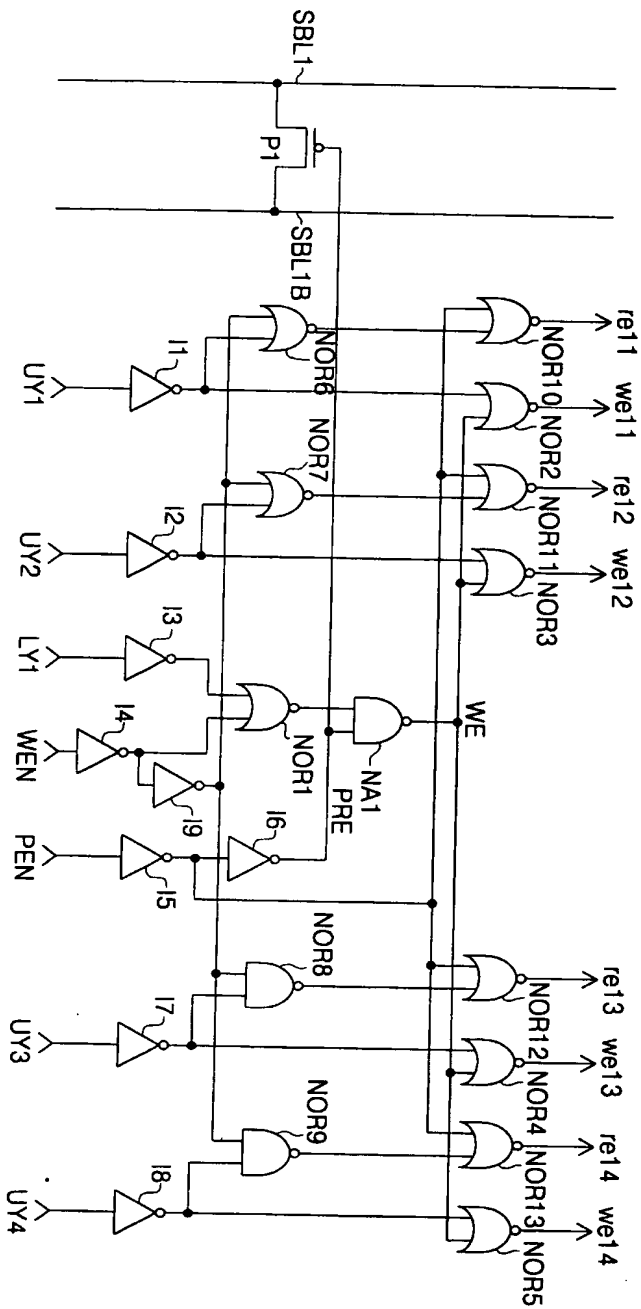
【도 4】



【도 5】



【도 6】



【도 7】

